

**SEMICONDUCTOR LIGHT-EMITTING ELEMENT AND MANUFACTURE THEREOF**

Patent Number: JP2001068727  
Publication date: 2001-03-16  
Inventor(s): KURAHASHI TAKANAO;; HOSOBANE HIROYUKI;; NAKATSU HIROSHI;; MURAKAMI TETSURO  
Applicant(s): SHARP CORP  
Requested Patent: ☐ JP2001068727  
Application Number: JP19990238225 19990825  
Priority Number(s):  
IPC Classification: H01L33/00  
EC Classification:  
Equivalents: ☐ SE0002996, TW461122

**Abstract**

**PROBLEM TO BE SOLVED:** To provide a semiconductor light-emitting element, which is low in the dependence of a luminous wavelength on an emission angle.

**SOLUTION:** This semiconductor light-emitting element has a DBR layer 3 consisting of an N-type AlAs layer and an N-type Al<sub>0.5</sub>Ga<sub>0.5</sub>As layer and a DBR layer 7 consisting of a P-type (Al<sub>0.2</sub>Ga<sub>0.8</sub>)<sub>0.5</sub>In<sub>0.5</sub>P layer and a P-type Al<sub>0.5</sub>In<sub>0.5</sub>P layer at a prescribed interval on an N-type GaAs substrate 1 so that the length of the center of a reflection spectrum is 650 nm and a resonance wavelength is also formed in a length of 650 nm. A quantum well active layer (luminous layer) 5 is formed so that the peak wavelength of emission is formed in a length of 650 nm at the position of the loop of a standing wave, which is generated in a resonator consisting of both DBR layers 3 and 7. Lattice patterns 15 are formed in the surface of a P-type Al<sub>0.5</sub>Ga<sub>0.5</sub>As light scattering layer 10 which is encircled with P-type electrodes 12 and is used as a light-emitting surface. In such a way, by roughening the light-emitting surface, light radiated from the layer 5 is made to scatter in various directions and the dependence of a luminous wavelength on an emission angle is lessened.

Data supplied from the esp@cenet database - I2



(3)

してしまうという問題が発生する。

【0006】また、上記LEDチップを通信用として使用する場合には、例えばプラスチックファイバによる通信用光源を使用する場合には、垂直方向でプラスチックファイバの損失が小さい650nmにピークを持つように作製したLEDチップでは、斜め方向の発光光を利用するようになり、その半値幅では650nmよりもピーク波長が短くなるため使用できないという問題が発生する。

【0007】そこで、この発明の目的は、発光波長の放射効率依存性が小さい半導体発光素子およびその製造方法を提供することにある。

**[0008]**

【課題を解決するための手段】上記目的を達成するため、第1の項の半導体発光素子は、GaAs基板上に所定の領域を有して形成された一対の多層反射膜で成る共振器と、上記共振器内における定在波の節の位置に形成された上記光層を有する半導体発光素子において、上記発光素子に対してGaAs基板とは反対側に位置する上記多層反射膜上には、層数が1以上であって最上層の表面が租面化されている半導体層が形成されていることを特徴としている。

【0009】上記構成によれば、半導体発光素子の表面は平面化されている。したがって、図7(a)に示すように、発光層から放射された光は、本半導体発光素子の端面から外部に放射される際に種々の方向に散乱されることになる。その結果、発光波長の放射角依存性が小さくなる。

【0010】また、上記第1の発明の半導体発光素子は、上記発光層を、単層あるいは複数層から成る $Al_yGa_{3-y}In_{1-y}P$  ( $0 \leq y \leq 1, 0 \leq z \leq 1$ )層で構成することが望ましい。

【0011】上記構成によれば、上記発光層が、単層又は複数層から成る  $\text{Al}_x\text{Ga}_{1-x}\text{In}_{1-y}\text{P}$  ( $0 \leq x \leq 1, 0 \leq y \leq 1$ ) 層で構成されている。したがって、波長が 560 nm ~ 660 nm の発光光が得られる。

【0012】また、上記第1の発明の半導体発光素子は、上記発光層に対してGaAs基板側に位置する多層反折膜を、 $Al_1Ga_{1-y}As$  ( $0 \leq y \leq 1$ ) 層で構成し、上記発光層に対して上層GaAs基板とは反対側に位置する多層反折膜を、 $Al_xGa_{1-y-z}P$  ( $0 \leq y \leq 1, 0 \leq z \leq 1$ ) 層で構成することが好ましい。

【0013】上記構成によれば、上記発光層に対して上  
記GaAs基板側に位置する多層反反射膜は $\text{Al}_x\text{Ga}_{1-x}\text{As}$   
 $0 \leq x \leq 1$ で形成されているので、上記GaAs基板と  
多層膜強度の差が小さく、したがって、結晶成長時  
に結晶成長後ととの温度差による転移が発生し難い。このこ  
とによって、上記多層反反射膜の層数を多くすることが可  
用になり、容易に高反射率がえられる。

【0014】一方、上記発光層に対して上記GaAs基板とは反対側に位置する多層反射膜は $Al_yGa_{2-x}In_{1-y-z}P_z$

( $0.0 \leq y \leq 1, 0.0 \leq z \leq 1$ ) で形成されているので、GaAs 基板に格子整合する層が最も Al を含む場合でも 2.5% 程度であり、 $Al_xGa_{1-x}As$  ( $0.0 \leq x \leq 1$ ) で形成した場合 (50%) の  $1/2$  である。したがって、耐湿性が大きく向上される。

【0015】また、第2の発明の半導体材料素子の製造方法は、GaAs基板上に所定の間隔を有して形成された一対の多層反射膜で成る共振器と、上記共振器内における定在波の腹位置に形成された発光層とを有する半導体材料素子の製造方法であって、上記発光層に対してGaAs基板とは反対側に位置する上記多層反射膜上に、層数が1以上の半導体層を形成する工程と、上記半導体層と上記共振器の表面を組面化する工程とを備えることを特徴としている。

【0016】上記構成によれば、一方の多層反射膜で成る共振器上に形成された半導体層における最上層の表面は粗面化されている。したがって、上記多層反射膜の反射率は低下させることなく、上記光波長から放射された光は、本半導体発光素子の表面から外部に放射される際に、種々の方向に散乱される。その結果、発光波長の放射有効率が小さくなる。

【0017】また、上記第2の発明の半導体光素子の製造方法は、上記半導体層における最上層の表面に対して粗面化を、フォトリソグラフィおよびエッチングによって光散乱用のパターンを形成することによって行なうことが望ましい。

【0018】上記構成によれば、上面半導体層における最上層の表面に、フォトリソグラフィおよびエッチングによって光を散乱するようなパターンを形成するので、精度の高い微細パターンが形成される。したがって、発光波長の放射角依存性が小さくなるように表面粗面化の程度が制御される。

【0019】また、上記第2の発明の半導体素子に於ては、上記半導体層における最上層の表面に於て、粗面化を研削によって行なうことが望ましい。

【0020】上記構成によれば、上記半導体層における最上層の表面を研磨することによって平坦化するので、上記光散乱用のパターンを形成する場合のごとく複雑なフォトリソングラフィ工程を必要とはせず、より簡単な方法によって半導体基板上に光導波路が作成される。

【0021】また、上記第2の発明の半導体光素子の製造方法は、上記半導体層を、 $\text{Al}_x\text{Ga}_{1-x}\text{In}_{1-y}\text{P}$  ( $0 \leq x \leq 1, 0 \leq y \leq 1$ ) で形成し、上記半導体層における最上層の表面に対する粗面化を、少なくとも上記半導体層を硫酸中で煮沸することによって行なうことが望まし

【0022】上記構成によれば、塩酸中で煮溶することによって上記半導体層における最上層の表面に対する粗面化を行なうので、上記研削による場合のようにウェハ全体を別の基板やシート等に貼り付けて保持する工程お

(4)

よび洗淨する工程を必要とはしない。したがって、より簡単な方法によって半導体発光素子が作成される。

【0023】また、第3の発明は、GaAs基板上に所定の間隔を有して形成された一対の多層反射膜で成る共振器と、上記共振器内における定在波の位置に形成された光導波路を有する半導体光素子の製造方法であつた。

上記第3の発明に対してGaAs基板とは反対面に位置する上記多層反射膜上に、上記GaAs基板に対して格子定数が0.5%以上異なる $\text{Al}_x\text{Ga}_{1-x}\text{P}$  ( $0 \leq x \leq 1$ )層を若干層数(1以上の半導体層を形成する層)を積層し、上記半導体層の最上層の表面を平坦化する工程を含むことを特徴としている。

【0024】上記基板によれば、上記反射層に対してG  
As<sub>2</sub>S<sub>3</sub>基板とは反対側に位置する多層反射膜上に形成され  
る。ここで、一種の結晶成長工程のみによって上記半  
導体層の表面が粗面化を行なうことができる。結晶成長の後には別途  
上記粗面化を行なう工程を設ける必要がある。さらに簡  
単な方法によっても半導体層が粗面化される。

**[0025]**

【発明の実施の形態】以下、この発明を図示の実施の形態により詳細に説明する。

【0026】<第1実施の形態>図1は本実施の形態の半導体光素子における表面図であり、図2は、図1におけるA-A矢視断面図である。

【0027】本発明の形態における半導体发光素子は、 $\text{AlGaInP}$ 系のものであり、以下のようにして形成される。図8に示すように、(100)から[011]の方向に約15°だけ傾斜したn型のGaAs基板1上に、厚さが1.1μmのn型GaAsサブ層2、n型AlAs/g-P层3、5.5μm、5Asの3つのDBR（ディストリビューテッド・ブラッグ・リフレクター）層8、n型(AI<sub>0.07</sub>G

層4、量子非汚活性層  
5、 $p$ -型(A10,7Ga9,3)0.5Inq,5P第2クラッド層  
6、 $p$ -型(A1q,2Ga2,8)0.5Inq,5P/ $p$ -型A1q,5I,5G  
PPの12-ベンドBR層7、膜厚が3μmのA1q,5  
Ga5As電流注放層8、膜厚が0.1μmである $p$ -型(A  
1Q,9)0.5InQ,9)0.5IPエッチングスツープ層9、膜厚  
が3μmであるA1Q,5Ga5As光散乱層10を、M

尚、量子井戸活性層5は、その井戸層はGaInPであり、バリア層は $(\text{Al}_{0.5}\text{Ga}_{0.5})_{0.5}\text{In}_{0.5}\text{P}$ である。

【0028】ここで、上記 $n$ 型AlAs/ $n$ 型Al<sub>0.5</sub>Ga<sub>0.5</sub>Asの30-0-5°PのDBBR層3、および、 $p$ -型(Al)<sub>0.2</sub>Ga<sub>0.8</sub>/0-5°PのDBBR層7は、反射スペクトルの中心が650nmになるように形成し、この2つのDBBR層3、7で形成される共振波長の半減幅も650nmになるように共振波長を調整する。本実施の形態においては、上記共振波長を1.

5波長分とした。さらに、量子井戸活性層5は、上記装

振器中に生じる定在波の腹の位置に位置し、発光ピーク波長は650nmになるように形成する。

【0029】次に、図4及び図5(個4のB-B矢視断面図)に示すように、上記p型 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ 光散乱層110の表面上、CVD(化学蒸気)法によって $\text{SiO}_2$ 膜11を形成し、フォトリソグラフィおよび希釈HFでのエッチングによって70 $\mu\text{m}$ φの円形の電流経路14を形成する。

【0030】その後、図1および図2に示すように、上記型A1<sub>0.5</sub>Ga<sub>0.5</sub>As光散乱層10およびSiO<sub>2</sub>膜11上に、AuZn/Mo/Auをスパッタし、フォトリソグラフィによるパターニングを行って表面電極を形成する。そして、熱処理を行って型電極12を形成する。

【0031】その後、上記 p 型の Al<sub>0.5</sub>Ga<sub>0.5</sub>As 光散乱層 10 における p 型電極 12 が形成されていない円形の電流経路 14 内に、フォトリソグラフィおよび窒化/退火処理を施すことにより、図 6 のように、上記 p 型の格子定数に近しい GaInP 化合物半導体層 15 を形成する。この場合、上記エッチングパターン 15 を形成する。その場合、上記エッチングストッパは、p 型 (Al<sub>0.1</sub>Ga<sub>0.9</sub>)<sub>0.5</sub>I<sub>0.5</sub>P<sub>0.5</sub> エッチングストッパである。

層9に達するまで行うことによって、エッチング液を制御する。そして、 $n$ 型 $GaAs$ 基板1を約 $280\mu m$ の膜厚まで研磨し、この研磨した面に $AuGe/Au$ を蒸着し、熱処理することによって $n$ 型電極13を形成する。

は、上記電流密度4.4内における光出射面となるp型A<sub>1</sub>は、100±2%の割合により形成された単結晶発光素子100に、5Aa光散乱層10に格子パターン15を形成している。したがって、図7(a)に示すように、発光素子としての量子井戸性層5から放射された光が外部に出射される際に層2の方向に散乱されることになり、図6Bに示すように、発光素子の放射角依存性p型A<sub>1</sub>0.5G<sub>0</sub>5Aa光散乱層10の格子パターン15を形成しない場合(図7(b)の場合に相当)よりも小さくなっている。

【0033】また、上記発光層(量子井戸活性層)5に対して、 $n$ 型GaAs基板1側に位置する多層反反射膜(n型AlAs/n型Al<sub>0.3</sub>Ga<sub>0.7</sub>As/5nm Al<sub>0.3</sub>Ga<sub>0.7</sub>As/5nm GaAs/5nm GaAs/5nm Al<sub>0.3</sub>Ga<sub>0.7</sub>As)は、AlGaAs系の材料で形成されている。したがって、その全膜厚は約3μmであるが、 $n$ 型GaAs基板1との熱膨張率差が小さいため、 $n$ 型GaAs基板1の反りやダークラインの発生は認められず、層数を30ペアとすることによって99%以上の反反射率を達成した。

【0034】また、上層光層(電子非許性層)5に対してn型GaAs基板ととは反対側の多層反射膜1(p型(A<sub>1</sub>0.2Ga<sub>0.8</sub>)<sub>2</sub>G<sub>2</sub>O<sub>3</sub>, 0.51 $\mu$ m, 5p/p型A<sub>1</sub>0.51In<sub>0.5</sub>pのDBR層)7はAlGaIn系材料で形成されている。したがって、表面近傍における量も多くAlを含む層がAl<sub>0.5</sub>In<sub>0.5</sub>pであり、両面性とは問題にならない。更に、この多層反射膜7のピーク反射率は約70%であり、共振キャリアビームとして十分な反射率が得られている。

【0035】尚、 $\text{Al}_y\text{Ga}_{2-y}\text{In}_{1-y}\text{P}$  ( $0 \leq y \leq 1, 0 \leq z \leq 1$ ) 多層反射膜の場合、20ペア～30ペアを超え

7

るn型GaAs基板1との熱膨張率差によって転移が発生し易くなる。しかしながら、共鳴キャリア型LEDの場合には、n型GaAs基板1とは反対側の多層反反射膜7に對しては、n型GaAs基板1側の多層反反射膜3ほどの高反反射率は要求されない。したがって、通常、上記多層反反射膜7には20〜25%程度の反射率は必要がなく、転移は発生しないのである。

【0036】本実施の形態における半導体発光素子、温度80℃、湿度85%中で50mAの通電試験を行ったところ、1000時間経過後であっても初期光出力の90%の光出力を有していた。また、本半導体発光素子は電流制御回路を有しており、内部量子効率および外部量子効率共に高く、初期光出力は20mAで1.6mWと高い光出力が得られた。

【0037】上述のごとく、本実施の形態においては、上記n型GaAs基板1上に、所定の間隔を置いて、n型AlAs/n型Al<sub>0.5</sub>Ga<sub>0.5</sub>AsのDBR層3及びp型Al<sub>0.5</sub>Ga<sub>0.5</sub>As/n型Al<sub>0.5</sub>Ga<sub>0.5</sub>AsのDBR層3及びp型Al<sub>0.5</sub>Ga<sub>0.5</sub>As/n型Al<sub>0.5</sub>Ga<sub>0.5</sub>AsのDBR層3の中心が650nmであり、共振波長も650nmになるように形成する。そして、量子井戸活性層5を、上記DBR層3、7で成る共振腔中に生じる定在波の位置に、発光ピーク波長が650nmになるように形成する。さらに、p型電極12に固められた光出射面としてのp型Al<sub>0.5</sub>Ga<sub>0.5</sub>Asの表面に格子バタ-ン15を形成している。

【0038】したがって、本実施の形態における半導体発光素子の表面は粗面となり、発光層5から放射された光は粗面の方向に散乱される。その結果、発光波長の放射角依存性を小さくすることができるのである。

【0039】また、上記発光層としての量子井戸活性層5を、材料あるいは組成からなるAl<sub>0.5</sub>Ga<sub>0.5</sub>In<sub>0.5</sub>P(0.5≤x1, 0.5≤x2)層で形成している。したがって、660nm〜660nm程度の光を発光させることができる。

【0040】＜第2実施の形態＞図8は本実施の形態の半導体発光素子における表面図であり、図9は、図8におけるC-C矢視断面図である。

【0041】本実施の形態における半導体発光素子はAlGaInP系であり、以下のようにして形成される。図10に示すように、(100)から[011]の方向に15°だけ傾斜したn型のGaAs基板21上に、膜厚が1μmのn型GaAsバンプ層22、n型AlAs/n型Al<sub>0.5</sub>Ga<sub>0.5</sub>Asの30〜40%のDBR層23、n型Al<sub>0.5</sub>Ga<sub>0.5</sub>Asの30〜40%のDBR層24、量子井戸活性層25、p型Al<sub>0.5</sub>Ga<sub>0.5</sub>As/n型Al<sub>0.5</sub>Ga<sub>0.5</sub>AsのDBR層26、p型のAl<sub>0.5</sub>Ga<sub>0.5</sub>As/n型Al<sub>0.5</sub>Ga<sub>0.5</sub>AsのDBR層27、膜厚が10μmのp型Al<sub>0.5</sub>Ga<sub>0.5</sub>AsのDBR層28を、MOCVD法によって順次積層する。尚、量子井戸活性層25は、その井戸層はGaInPであり、バリア層はAl<sub>0.5</sub>Ga<sub>0.5</sub>As

(5)

8

0.51n<sub>0.5</sub>Pである。

【0042】ここで、上記n型AlAs/n型Al<sub>0.5</sub>Ga<sub>0.5</sub>Asの30〜40%のDBR層23、および、p型Al<sub>0.5</sub>Ga<sub>0.5</sub>Asの30〜40%のDBR層24、量子井戸活性層25、p型Al<sub>0.5</sub>Ga<sub>0.5</sub>As/n型Al<sub>0.5</sub>Ga<sub>0.5</sub>AsのDBR層26、p型のAl<sub>0.5</sub>Ga<sub>0.5</sub>As/n型Al<sub>0.5</sub>Ga<sub>0.5</sub>AsのDBR層27、膜厚が10μmのp型Al<sub>0.5</sub>Ga<sub>0.5</sub>AsのDBR層28を、MOCVD法によって順次積層する。尚、量子井戸活性層25は、その井戸層はGaInPであり、バリア層はAl<sub>0.5</sub>Ga<sub>0.5</sub>As

【0043】その後、図11に示すように、上記電極長を1.5μmとすると、さらに、量子井戸活性層25は、上記共振腔中に生じる定在波の位置に位置し、発光ピーク波長は650nmになるように形成する。

【0044】次に、図12および図13(図12のD-D矢視断面図)に示すように、上記p型Al<sub>0.5</sub>Ga<sub>0.5</sub>AsのDBR層28の表面に、CVD法によってSiO<sub>2</sub>膜29を形成し、フォトソリッドライティング処理を施す。このフォトソリッドライティング処理によって、発光層5から放射された光は粗面の方向に散乱される。その結果、発光波長の放射角依存性を小さくすることができるのである。

【0045】その後、図8および図9に示すように、上記p型Al<sub>0.5</sub>Ga<sub>0.5</sub>AsのDBR層28およびSiO<sub>2</sub>膜29上に、Au/Ag/Auをスパッタし、フォトソリッドライティング処理を行って表面電極を形成する。そして、熱処理を行ってp型電極30を形成する。さらに、n型GaAs基板21を約280μmの膜厚まで研磨し、この研磨した面にAuGe/Auを蒸着し、熱処理することによってn型電極31を形成する。

【0046】このようにして形成された半導体発光素子は、第1実施の形態に比して、ウェハ表面に格子バタ-ンを形成して粗面化する際の波長をフォトソリッドライティング処理が必要なくなり、工程を簡略化することができる。尚、発光波長の放射角依存性については、第1実施の形態と同様十分小さくなっている。

【0047】また、耐湿性に関しては、第1実施の形態と同様に全く問題なく、湿度80℃、湿度85%中で20mAの通電試験を行ったところ、1000時間経過後であっても初期光出力の90%の光出力を有していた。また、初期光出力は20mAで1.6mWと十分な光出力が得られた。

【0048】＜第3実施の形態＞図14は本実施の形態の半導体発光素子における表面図であり、図15は、図14におけるE-E矢視断面図である。

【0049】本実施の形態における半導体発光素子はAlGaInP系であり、以下のようにして形成される。図16に示すように、(100)から[011]の方向に15°だけ傾斜したn型のGaAs基板41上に、膜厚が1μmのn型GaAsバンプ層42、n型AlAs/n型Al<sub>0.5</sub>Ga<sub>0.5</sub>Asの70〜80%のDBR層43、n型Al<sub>0.5</sub>Ga<sub>0.5</sub>As

9

0.51n<sub>0.5</sub>P第1クラッド層44、量子井戸活性層45、p型Al<sub>0.5</sub>Ga<sub>0.5</sub>As/n型Al<sub>0.5</sub>Ga<sub>0.5</sub>AsのDBR層46、p型Al<sub>0.5</sub>Ga<sub>0.5</sub>As/n型Al<sub>0.5</sub>Ga<sub>0.5</sub>AsのDBR層47、膜厚が1.5μmのp型Al<sub>0.5</sub>Ga<sub>0.5</sub>AsのDBR層48、膜厚が0.3μmのn型AlGaInP第1電極層49、膜厚が0.1μmのn型のGaAsバンプ層51を、MOCVD法によって順次積層する。尚、量子井戸活性層45は、その井戸層はAl<sub>0.5</sub>Ga<sub>0.5</sub>Asであり、バリア層はAl<sub>0.5</sub>Ga<sub>0.5</sub>As

【0050】ここで、上記n型AlAs/n型Al<sub>0.5</sub>Ga<sub>0.5</sub>Asの70〜80%のDBR層43、および、p型Al<sub>0.5</sub>Ga<sub>0.5</sub>As/n型Al<sub>0.5</sub>Ga<sub>0.5</sub>AsのDBR層47は、反射スベクトルの中心が570nmになるように形成し、この2つのDBR層43、47で形成される共振腔の共振波長も570nmになるように共振腔長を調整する。本実施の形態においては、上記共振腔長を1.5μmとすると、さらに、量子井戸活性層45は、上記共振腔中に生じる定在波の位置に位置し、発光ピーク波長は570nmになるように形成する。

【0051】その後、図17および図18(図17のF-F矢視断面図)に示すように、n型GaAsバンプ層51を熱処理/酸化処理を施す。この酸化処理を施した後、フォトソリッドライティング処理を行って表面電極を形成する。そして、熱処理を行ってp型電極53を形成する。次に、ウェハを、65℃〜70℃の塩酸中で煮煮する。その際、p型AlGaInP第2電極層52の表面におけるp型電極53が形成されていない領域が粗面になる。さらに、n型GaAs基板41を約280μmの膜厚まで研磨し、この研磨した面にAuGe/Auを蒸着し、熱処理することによってn型電極54を形成する。

【0052】次に、図19および図20(図19のG-G矢視断面図)に示すように、膜厚が7μmのp型AlGaInP第2電極層52を、n型AlGaInP第1電極層49の上に形成する。

【0053】その後、図14および図15に示すように、上記p型AlGaInP第2電極層52上にAuGe/Auを蒸着し、フォトソリッドライティング処理を行って表面電極を形成する。そして、熱処理を行ってp型電極53を形成する。次に、ウェハを、65℃〜70℃の塩酸中で煮煮する。その際、p型AlGaInP第2電極層52の表面におけるp型電極53が形成されていない領域が粗面になる。さらに、n型GaAs基板41を約280μmの膜厚まで研磨し、この研磨した面にAuGe/Auを蒸着し、熱処理することによってn型電極54を形成する。

【0054】このようにして形成された半導体発光素子は、第2実施の形態に比して、ウェハ表面を研磨して粗面化するためにウェハをシートあるいは他のウェハ等に貼り付けた後、研磨後に取り外しを施したりする工程が全く必要なく、工程の簡略化が可能となる。尚、発光波長の放射角依存性については、第1、第2実施の形態と同様十分小さくなっている。

(6)

10

【0055】また、上記発光層(量子井戸活性層)45に對しては、n型GaAs基板41側に位置する多層反反射膜(n型AlAs/n型Al<sub>0.5</sub>Ga<sub>0.5</sub>Asの70〜80%のDBR層)43は、AlGaInP系で形成されている。したがって、その全膜厚は約7μmと第1、第2実施の形態の場合よりも更に厚くなっているが、n型GaAs基板41との熱膨張率差が小さいので、n型GaAs基板41の反りやクラッキングの発生は認められず、その結果、層数を70〜80と多くすることが可能になり、99%以上の高反反射率を実現できるのである。

【0056】また、上記発光層(量子井戸活性層)45に對しては、n型GaAs基板41とは反対側の多層反反射膜(p型Al<sub>0.5</sub>Ga<sub>0.5</sub>As/n型Al<sub>0.5</sub>Ga<sub>0.5</sub>AsのDBR層)47は、反射スベクトルの中心が650nmであり、共振波長も650nmになるように形成する。そして、量子井戸活性層45は、上記共振腔中に生じる定在波の位置に位置し、発光ピーク波長は650nmになるように形成する。

【0057】また、初期光出力は、発光層上における共振波長56の面積を、第1、第2実施の形態の場合よりも小さくして約0.4μmとすると、約1割だけ光取り出し効率が向上して0.4μmを呈した。

【0058】＜第4実施の形態＞図21は本実施の形態の半導体発光素子における表面図であり、図22は、図21におけるH-H矢視断面図である。

【0059】本実施の形態における半導体発光素子はAlGaInP系であり、以下のようにして形成される。図23に示すように、(100)から[011]の方向に15°だけ傾斜したn型のGaAs基板61上に、膜厚が1μmのn型GaAsバンプ層62、n型AlAs/n型Al<sub>0.5</sub>Ga<sub>0.5</sub>Asの30〜40%のDBR層63、n型Al<sub>0.5</sub>Ga<sub>0.5</sub>Asの30〜40%のDBR層64、量子井戸活性層65、p型Al<sub>0.5</sub>Ga<sub>0.5</sub>As/n型Al<sub>0.5</sub>Ga<sub>0.5</sub>AsのDBR層66、p型のAl<sub>0.5</sub>Ga<sub>0.5</sub>As/n型Al<sub>0.5</sub>Ga<sub>0.5</sub>AsのDBR層67、膜厚が0.15μmのp型AlGaInP中間層68、膜厚が1μmのp型Al<sub>0.5</sub>Ga<sub>0.5</sub>As/n型Al<sub>0.5</sub>Ga<sub>0.5</sub>AsのDBR層69、膜厚が0.3μmのn型AlGaInP第1電極層70、膜厚が0.1μmのn型のGaAsバンプ層71を、MOCVD法によって順次積層する。尚、量子井戸活性層65は、その井戸層はGaInPであり、バリア層はAl<sub>0.5</sub>Ga<sub>0.5</sub>As

(7)

11

器長を調整する。本実施の形態においては、上記共振器長を1.5割減とした。さらに、量子井戸活性層65は、上記共振器中に生じる定在波の位置に位置し、発光ピーク波長は650nmになるように形成する。

[0061] その後、図24および図25(図24の1-J矢視断面図)に示すように、n型GaAsキャップ層71を硫酸/過酸化水素エッチャントで除去する。その後、フォトリソグラフィおよび酸蝕/過酸化水素エッチャントによって、n型Al<sub>0.01</sub>Ga<sub>0.99</sub>In<sub>0.01</sub>P電流封止層70をp型Al<sub>0.01</sub>Ga<sub>0.99</sub>In<sub>0.01</sub>P第1電流拡散層69に達するまでエッチングする。このとき電流拡散層69に達するまでエッチングする。このときエッチングによって70μmφの円形の電流経路75を形成する。

[0062] 次に、図26及び図27(図26におけるJ-J矢視断面図)に示すように、厚さが7μmのp型Al<sub>0.01</sub>Ga<sub>0.99</sub>In<sub>0.01</sub>P第2電流拡散層72を、n型Al<sub>0.01</sub>Ga<sub>0.99</sub>In<sub>0.01</sub>P電流封止層70およびp型Al<sub>0.01</sub>Ga<sub>0.99</sub>In<sub>0.01</sub>P第1電流拡散層69の上に再成長させる。この段階で、格子定数がn型GaAs基板61に對して約3.6%小さく且つ膜厚が約8μmのAl<sub>0.01</sub>Ga<sub>0.99</sub>In<sub>0.01</sub>P層が、p型(Al<sub>0.2</sub>Ga<sub>0.8</sub>)<sub>0.5</sub>In<sub>0.5</sub>P/p型Al<sub>0.01</sub>Ga<sub>0.99</sub>In<sub>0.01</sub>Pの12-βのDBR層67上に形成されており、ウェハ表面は粗面になっている。

[0063] その後、図21および図22に示すように、上記p型Al<sub>0.01</sub>Ga<sub>0.99</sub>In<sub>0.01</sub>P第2電流拡散層72上にAuBe/Auを蒸着し、フォトリソグラフィおよびAuエッチャントによるエッチングによって表面電極を形成する。そして、熱処理を行って、型電極73を形成する。さらに、n型GaAs基板61を約280μmの膜厚まで研削し、この研削した面にAuGe/Auを蒸着し、熱処理することによって形成された半導体発光素子[0064] のようにして形成された半導体発光素子において、第1〜第3実施の形態に比して、結晶成長後に別途ウェハ表面を粗面化する工程が全く必要なく、工程の簡便化が可能となる。尚、発光波長の放射角依存性については、表面の粗面化の程度が小さいために、図28に示すように、第1〜第3実施の形態の場合よりやや依存性は大きい。しかしながら、粗面化がない場合には依存性が大幅に小さくなっている。

[0065] また、耐湿性に関しても全く問題はない。湿度80℃、湿度85%中で50mAの通電試験を行ったところ、1000時間経過後であっても初期光出力の90%の光出力を有している。また、初期光出力は、20mAで1.7mWと十分高い出力が得られた。

[0066]

[発明の効果] 以上より明らかなように、第1の発明の半導体発光素子は、一方の多層反射膜で成る共振器内における定在波の位置に発光層を有し、この発光層に対してGaAs基板とは反対側に位置する上記多層反射膜上に表面が粗面化された半導体層が形成されているの

(8)

13

る最上層の表面に対する粗面化を行えば、上記図13による粗面化の場合のように、ウェハ全体を別の基板やシート等に取り付け保持する工程および洗浄する工程を必要としない。したがって、より簡単な方法によって半導体発光素子を製造できる。

[0074] また、第3の発明は、一方の多層反射膜で成る共振器内における定在波の位置に発光層を形成し、この発光層に対してGaAs基板とは反対側に位置する上記多層反射膜上に、上記GaAs基板に対して格子定数が0.5%以上異なるAl<sub>0.5</sub>Ga<sub>0.5</sub>In<sub>0.5</sub>P(0≤y≤1.0≤z≤1)層を含む半導体層を形成するので、上記半導体層の表面を格子定数差によって粗面化できる。したがって、一連の結晶成長工程のみによって上記半導体層の表面を粗面化でき、結晶成長の際に別途上記粗面化を行なう工程を設ける必要がない。すなわち、この発明によれば、さらに簡単な方法によって半導体発光素子を製造できる。

[図面の簡単な説明]  
[図1] この発明の半導体発光素子における表面図である。  
[図2] 図1におけるA-A矢視断面図である。  
[図3] 図2に示す半導体発光素子の製造工程を示す図である。

[図4] 図3に続く製造工程を示す表面図である。  
[図5] 図4におけるB-B矢視断面図である。  
[図6] 図1に示す半導体発光素子におけるピーク波長の放射角依存性を示す図である。  
[図7] 図1に示す半導体発光素子における粗面化による効果の説明図である。  
[図8] 図1とは異なる半導体発光素子における表面図である。

[図9] 図8におけるC-C矢視断面図である。  
[図10] 図9に示す半導体発光素子の製造工程を示す図である。  
[図11] 図10に続く製造工程を示す図である。  
[図12] 図11に続く製造工程を示す表面図である。

[図13] 図12におけるD-D矢視断面図である。  
[図14] 図13におけるE-E矢視断面図である。  
[図15] 図14におけるE-E矢視断面図である。  
[図16] 図15に示す半導体発光素子の製造工程を示す図である。

14

[図17] 図16に続く製造工程を示す表面図である。  
[図18] 図17におけるF-F矢視断面図である。  
[図19] 図18に続く製造工程を示す表面図である。

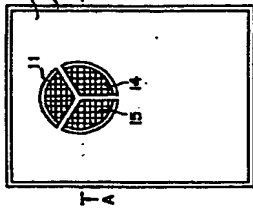
[図20] 図19におけるG-G矢視断面図である。  
[図21] 図18および図14とは異なる半導体発光素子における表面図である。  
[図22] 図21におけるH-H矢視断面図である。  
[図23] 図22に示す半導体発光素子の製造工程を示す図である。

[図24] 図23に続く製造工程を示す表面図である。  
[図25] 図19におけるI-I矢視断面図である。  
[図26] 図25に続く製造工程を示す表面図である。  
[図27] 図26におけるJ-J矢視断面図である。  
[図28] 図21に示す半導体発光素子におけるピーク波長の放射角依存性を示す図である。

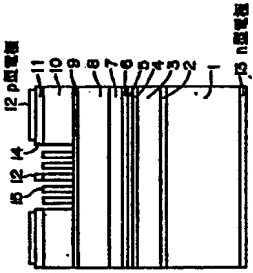
[符号の説明]  
1, 2, 4, 1, 6, 1...n型GaAs基板、2, 2, 2, 4, 2, 6  
2...n型GaAsパッド、3, 2, 3, 6...n型AlAs/n型Al<sub>0.5</sub>Ga<sub>0.5</sub>Asの30-βのDBR層、4, 2, 4, 4, 6, 4...n型(Al<sub>0.7</sub>Ga<sub>0.3</sub>)<sub>0.5</sub>In<sub>0.5</sub>P第1クラッド層、5, 2, 5, 4, 5, 6...量子井戸活性層、6, 2, 6, 4, 6, 6...p型(Al<sub>0.7</sub>Ga<sub>0.3</sub>)<sub>0.5</sub>In<sub>0.5</sub>P第2クラッド層、7, 2, 7, 6, 7...p型(Al<sub>0.2</sub>Ga<sub>0.8</sub>)<sub>0.5</sub>In<sub>0.5</sub>P/p型Al<sub>0.5</sub>In<sub>0.5</sub>Pの12-βのDBR層、8, 2, 8...p型Al<sub>0.5</sub>Ga<sub>0.5</sub>As電流拡散層、9...p型(Al<sub>0.1</sub>Ga<sub>0.9</sub>)<sub>0.5</sub>In<sub>0.5</sub>Pエンゲージングストップ層、10...p型Al<sub>0.01</sub>Ga<sub>0.99</sub>In<sub>0.01</sub>P第1電流拡散層、11, 2, 9...SiO<sub>2</sub>膜、12, 3, 0, 5, 3, 7, 3...p型電極、13, 3, 1, 5, 4, 7, 4...n型電極、14, 3, 2, 5, 5, 7, 5...電流経路、15...格子パターン、43...n型AlAs/n型Al<sub>0.7</sub>Ga<sub>0.3</sub>Asの70-βのDBR層、47...p型(Al<sub>0.4</sub>Ga<sub>0.6</sub>)<sub>0.5</sub>In<sub>0.5</sub>P/p型Al<sub>0.5</sub>In<sub>0.5</sub>Pの18-βのDBR層、48, 6, 8...p型AlGaInP中間層、49...p型AlGaInP第1電流拡散層、50...n型AlGaInP電流封止層、51, 7, 1...n型GaAsキャップ層、52...p型AlGaInP第2電流拡散層、56...定在波数、6, 9...p型Al<sub>0.01</sub>Ga<sub>0.99</sub>In<sub>0.01</sub>P第1電流拡散層、7, 0...n型Al<sub>0.01</sub>Ga<sub>0.99</sub>In<sub>0.01</sub>P電流封止層、7, 2...p型Al<sub>0.01</sub>Ga<sub>0.99</sub>In<sub>0.01</sub>P第2電流拡散層。

(9)

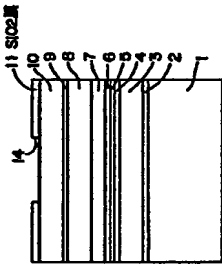
【図1】



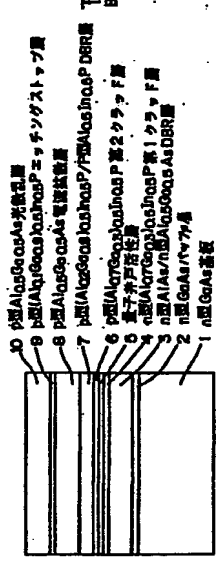
【図2】



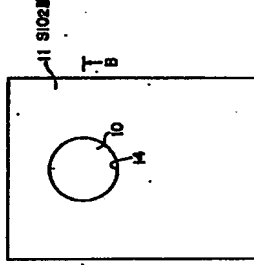
【図5】



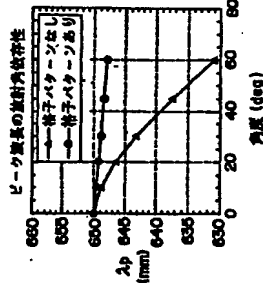
【図3】



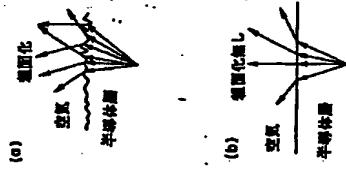
【図4】



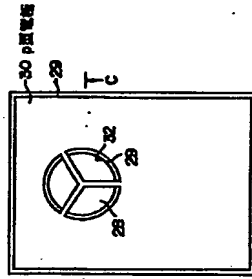
【図6】



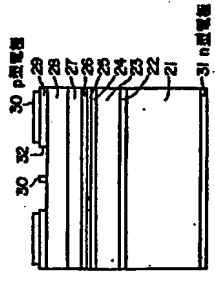
【図7】



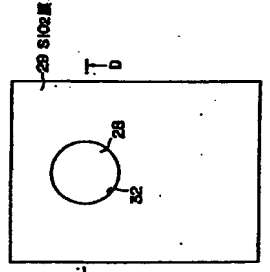
【図8】



【図9】

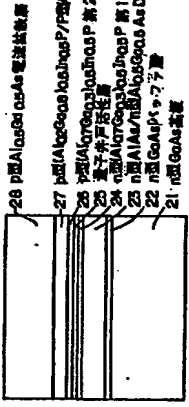


【図12】

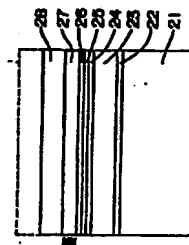


(10)

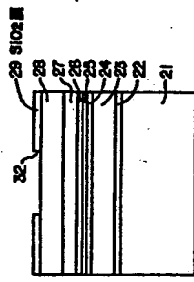
【図10】



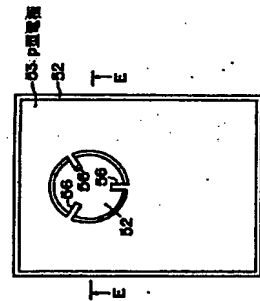
【図11】



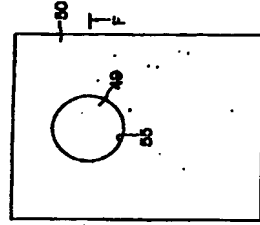
【図13】



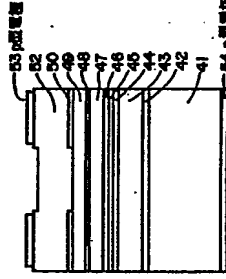
【図14】



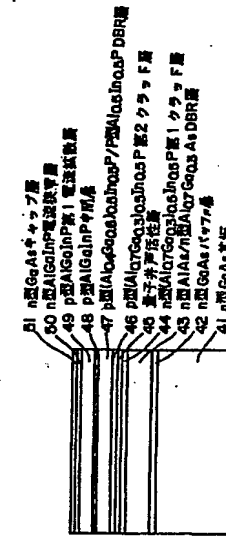
【図17】



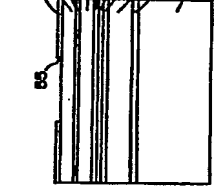
【図15】



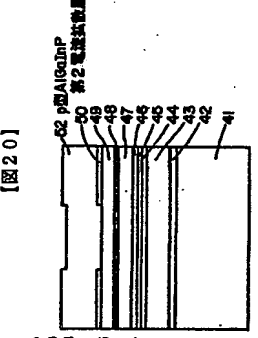
【図16】



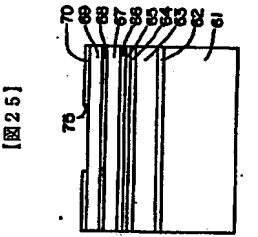
【図18】



【図20】

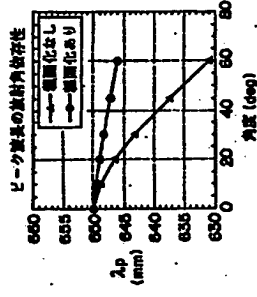


【図25】



(12)

【図28】



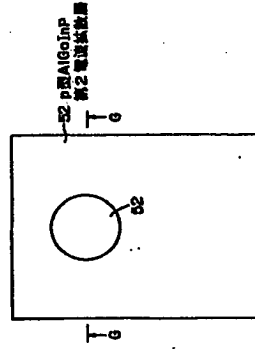
フロントページの続き

(72) 発明者 中津 弘志  
大阪府大阪市阿倍野区長池町22番22号  
ヤープ株式会社内

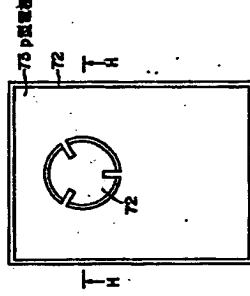
(72) 発明者 村上 智嗣  
大阪府大阪市阿倍野区長池町22番22号  
ヤープ株式会社内  
Fターム(参考) 5P041 A114 C005 C112 C123 C134  
C135 C136 C165 C174 C193  
C303

(11)

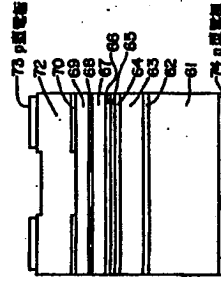
【図19】



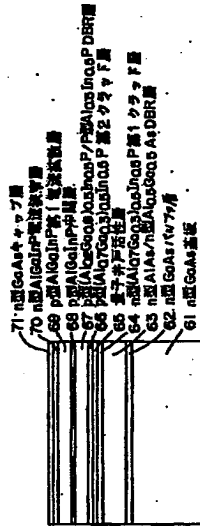
【図21】



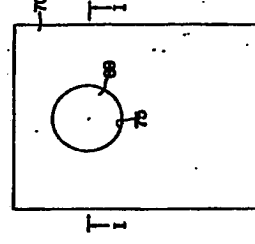
【図22】



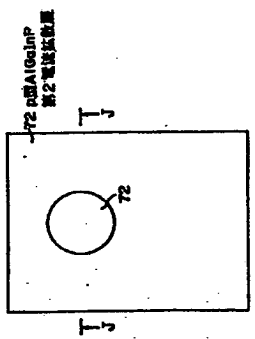
【図23】



【図24】



【図26】



【図27】

